

JP357053955A
36 of 37

Mar. 31, 1982

L1:

PROBE CARD

INVENTOR: YAMAGISHI, SOKICHI
APPLICANT: NEC CORP
APPL NO: JP 55129543
DATE FILED: Sep. 17, 1980
INT-CL: H01L21/66; G01R31/26

ABSTRACT:

PURPOSE: To prevent inferiority to be generated in an excellent article and to contrive to enhance yield of semiconductor chip by a method wherein a sucking vacuum mechanism surrounding an opening part is provided to a printed substrate being fitted with a group of probes, and scattering bodies generated by laser marking are sucked and removed.

CONSTITUTION: The cap type sucking vacuum mechanism 9 is provided as to surround the opening part 12 from the upper face of the printed substrate 1 constituting a probe card, and a fine pipe 10 is connected to a vacuum piping. To extend and arrange this sucking mechanism 9 cylindrically up to the lower side of the printed substrate 1 is also enabled. When marking is to be performed on an article of inferior quality using a laser beam 7 after measurement by probe, the generated scattering bodies 8 are removed through the fine pipe 10. Accordingly inferior contact of the probe and short-circuit can be prevented, generation of inferiority to be caused by contamination of the adjoining excellent article can be prevented, and yield can be enhanced.

COPYRIGHT: (C)1982, JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-53955

⑬ Int. Cl.³

H 01 L 21/66

G 01 R 31/26

識別記号

庁内整理番号

6851-5F

7359-2G

⑭ 公開 昭和57年(1982)3月31日

発明の数 1

審査請求 未請求

(全 3 頁)

⑮ プローブカード

⑯ 特 願 昭55-129543
⑰ 出 願 昭55(1980)9月17日
⑱ 発 明 者 山岸壯吉

東京都港区芝五丁目33番1号日
本電気株式会社内
⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

プローブカード

2. 特許請求の範囲

半導体ウェハの電気的特性の測定に使用する、
プリント基板に被測定物の電極パターンに対応し
て取付けた探針群を有するプローブカードにおい
て、前記プリント基板の開口部を囲む真空吸着機
構を備えたことを特徴とするプローブカード。

3. 発明の詳細な説明

本発明は半導体ウェハの電気的特性の測定に
用いるプローブカードに関する。

半導体集積回路 (IC) の製造工程における半
導体ウェハ上に形成された ICチップの電気的
特性を測る装置として、ICチップの電極に合
せた探針 (プローブ) をプリント基板に固定した
プローブカードが使われている。

しかしながら、このようなプローブカードを用
いて測定する場合、不良ベレットのマーキングに
レーザーマーカを使用すると以下の様な問題
が発生する。第1図は従来のプローブカードを用
いて測定する場合である。即ちこの図において、
プリント基板1に探針2, 2...を固定したプロ
ブカード3を用いてステージ4上の、半導体ウェ
ハ5の表面に形成された ICチップの電気性を測
定する。この場合、不良となった ICチップには
レーザー光線7を用いてマーキングを行い、後
工程での良品チップと不良チップの識別が可能
となる。この際第1図のヘッド6から発生するレ
ザー光線7により半導体、SiO₂, Al 等の薄膜
の飛散物8, 8...が発生する。これらの飛散物
にプローブカード3の探針2, 2...が付着し、探
針2, 2...同志の短絡や探針2, 2...と ICチ
ップの電極との間の接触不良を発生させる。又これ
らの飛散物は隣接するチップに付着し、特性及び
外觀上の不良を発生させる。これらの問題は IC
チップの歩留り向上を妨げる大きな要因の一つで

あった。

本発明の目的は以上の問題点を解決し、レーザーによるマーキングや金属針によるキズ打点を行なっても、半導体や薄膜の飛散物がプローブカードの探針や隣接するICチップに付着することのないプローブカードを提供することにある。

本発明の特徴は半導体ウェハの電気的特性の測定に使用する、プリント基板に被測定物の電極パターンに対応して取付けた探針群を有するプローブカードにおいて、前記プリント基板の開口部を囲む真空吸着機構を設けたことにある。

次に本発明を図面を用いて実施例により説明する。

第2図は本発明の第1の実施例を説明するための測定系の横断面図である。即ち本実施例では、プリント基板1の上面から開口部12を囲むようにキャップ状の真空吸着機構9を設け真空配管接続用細管10に真空配管を接続する。こうすることにより、レーザーマーキングの結果発生した半導体や薄膜の飛散物8、8…は細管10を通して

除去される。そのため飛散物が探針2、2…に付着して、探針とICチップの電極との間での接触不良を生じたり、探針同志の短絡を生じることがない。又ウェハー上の隣接する良品チップに付着して外観不良や特性不良を起すことも無くなるという大きな効果が得られる。

次に第3図は本発明の第2の実施例を説明するための測定系の横断面図である。即ち本実施例ではプリント基板上面のキャップ状の真空吸着機構に加えてプリント基板1の下面に、同じく開口部12を囲む形で筒状の真空吸着機構11を設けてある。その結果、飛散物の除去はより確実に行われる。

以上述べたように、本発明によれば、簡単な構造で飛散物の除去が充分に行われ、歩留向上に対する効果は大なるものがある。

4. 図面の簡単な説明

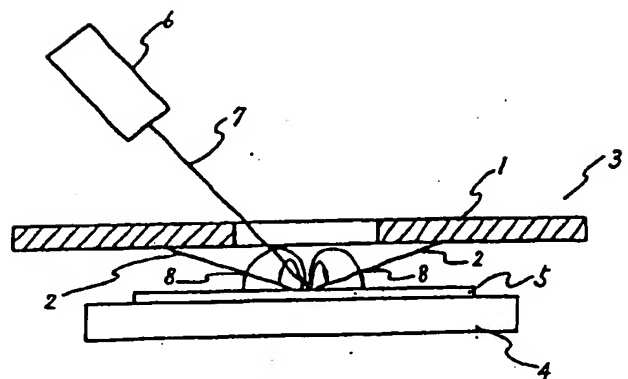
第1図は従来のプローブカードによる測定系を説明するための横断面図である。第2図と第3図

はそれぞれ、本発明の第1と第2の実施例のプローブカードによる測定系を説明するための横断面図である。

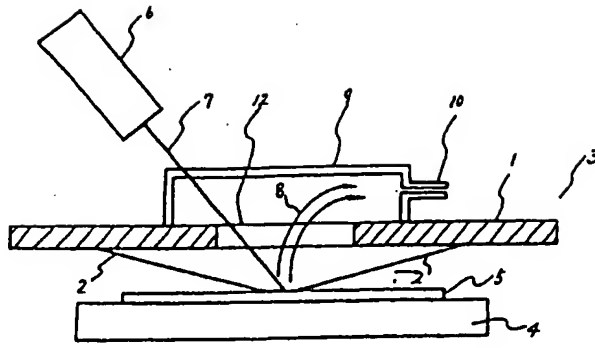
図中、

1……プリント基板、2……探針、3……プローブカード、4……ステージ、5……ウェハー、6……ヘッド、7……レーザー光源、8……飛散物、9……真空吸着機構、10……接続管、11……真空吸着機構、12……プリント基板の開口部である。

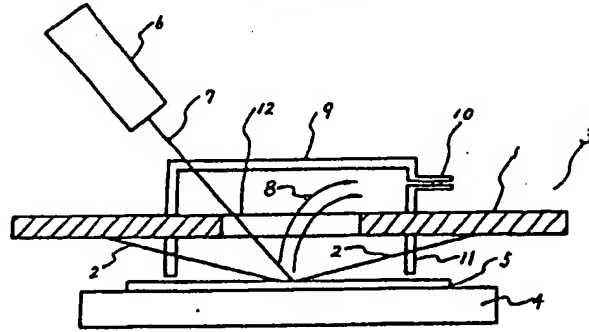
代理人 弁理士 内原 晋



第1図



第 2 図



第 3 図